

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-023147

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

H01L 29/78
H01L 21/8234
H01L 27/088
H01L 29/417

(21)Application number : 2001-206393

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.07.2001

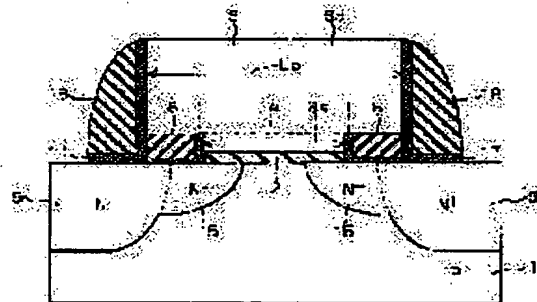
(72)Inventor : NAGAHISA KATSUMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device having a MOSFET capable of realizing both hot carrier suppression and large current driving force, and to provide a manufacturing method therefor.

SOLUTION: A T-shaped electrode 3 comprises a first gate electrode section 3a equivalent to a portion 'I' in a lower section, and a second gate electrode section 3b equivalent to a portion '-' in an upper section. First side wall spacers 7 and first side walls 8 are so formed as to be adjacent to the side walls of the electrode section 3a and as to be below the electrode section 3b. Below the side walls 8, one part of extension regions 15 is positioned through the spacers 7. The side walls 8 are formed of a high-permittivity material having a higher permittivity than that of a silicon oxide film.



- 1. 半導体基板
- 2. 絶縁膜
- 3. T型ゲート電極
- 4. シュートインゲート
- 5. 第1側壁スペーサ
- 6. 第1サイドウォール (高誘電率膜)
- 7. 第2側壁スペーサ
- 8. 第2サイドウォール

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11) 特許出願公開番号

特開2003-23147

(P2003-23147A)

(43)公開日 平成15年1月24日(2003.1.24)

(51)Int.Cl.	識別記号	P I	テマコード*(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/8234		29/50	U 5 F 0 4 8
27/088		27/08	1 0 2 C 5 F 1 4 0
29/417			1 0 2 B

審査請求 未請求 請求項の数4 OL (全 10 頁)

(21)出願番号 特願2001-206393(P2001-206393)

(22) 出題日 平成13年7月6日(2001.7.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)發明者 永久 克己

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

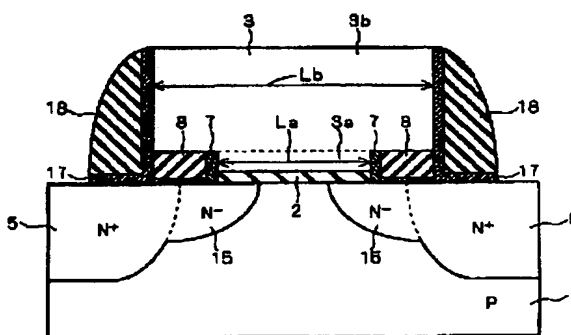
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ホットキャリア抑制及び大電流駆動力を共に達成するMOSFETを有する半導体装置及びその製造方法を得る。

【解決手段】 T字ゲート電極3は下層部の“1”の部分に相当する第1ゲート電極部3aと上層部の“-”の部分に相当する第2ゲート電極部3bとからなる。第1ゲート電極部3aの側面に隣接しかつ第2ゲート電極部3b下に第1側壁スペース7及び第1サイドウォール8が形成される。第1サイドウォール8の下方には第1側壁スペース7を介してエクステンション領域15の一部が位置する。第1サイドウォール8は、シリコン酸化膜よりも高い誘電率を有する高誘電材料で形成される。



- 1: P型シリコン基板
- 2: ゲート絶縁膜
- 3: T字ゲート電極
- 5: ソース・ドレイン領域
- 7: 第1側壁スペーサ
- 8: 第1サイドウォール(高誘電率材料)
- 17: 第2側壁スペーサ
- 18: 第2サイドウォール

【特許請求の範囲】

【請求項1】 半導体基板に形成される第1のMOSFETを有する半導体装置であって、

前記第1のMOSFETは、

前記半導体基板の上層部に選択的に形成される所定の導電型の一对のソース・ドレイン領域を備え、前記一对のソース・ドレイン領域はそれぞれ他の領域より所定の導電型の不純物濃度が低いエクステンション領域を有し、前記一对のソース・ドレイン領域間の前記半導体基板の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された断面形状がT字状のT字ゲート電極とをさらに備え、前記T字ゲート電極はT字の“1”に相当する下層部の第1ゲート電極部と上層部の“-”に相当する第2ゲート電極部とを有し、

前記第1のゲート電極部側面であつ前記第2ゲート電極部下に形成されるゲート電極内側壁絶縁膜をさらに備え、前記ゲート電極内側壁絶縁膜はさらに前記一对のソース・ドレイン領域それぞれの前記エクステンション領域の少なくとも一部上に位置し、

前記ゲート電極内側壁絶縁膜をシリコン酸化膜より高い誘電率の高誘電率材料で形成したことを特徴とする、半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記半導体装置は前記第1のMOSFETと独立して、前記半導体基板に形成される第2のMOSFETをさらに有し、

前記第2のMOSFETは、

前記半導体基板の上層部に選択的に形成された一对のソース・ドレイン領域と、

前記一对のソース・ドレイン領域間の前記半導体基板の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された断面形状が矩形状の通常ゲート電極とを備える、半導体装置。

【請求項3】 第1のMOSFETを有する半導体装置の製造方法であって、

前記第1のMOSFETの製造工程は、

(a)前記半導体基板上にゲート絶縁膜を選択的に形成後、該ゲート絶縁膜上に第1ゲート電極部を形成するステップと、

(b)前記第1のゲート電極部をマスクとして所定の導電型の不純物を導入してエクステンション領域を形成するステップと、

(c)前記第1ゲート電極部の側壁及び前記エクステンション領域上に第1の側壁絶縁膜を形成するステップと、

(d)前記第1のゲート電極部及び前記第1の側壁絶縁膜をマスクとして前記所定の導電型の不純物を導入して、前記エクステンション領域を含むソース・ドレイン領域を形成するステップと、

(e)前記第1ゲート電極部及び前記第1の側壁絶縁膜を上方から削り所定の高さまで平坦化するステップと、

10

20

30

40

50

(f)前記第1のゲート電極部及び前記第1の側壁絶縁膜を含む領域上にゲート電極材料層を形成するステップと、

(g)前記ゲート電極材料層をその下層の前記第1のゲート電極部及び前記第1の側壁絶縁膜共にパターンニングして、残存した前記ゲート電極材料層である第2ゲート電極部を得るステップとを備え、前記第1及び第2のゲート電極部とにより断面形状がT字状のT字ゲート電極が構成され、前記第1のゲート電極部はT字の“1”に相当し、前記第2のゲート電極部はT字の“-”に相当し、前記ステップ(g)後に残存する第1の側壁絶縁膜は前記第1のゲート電極部側面であつ前記第2ゲート電極部下に形成されるゲート電極内側壁絶縁膜として規定され、

前記ゲート電極内側壁絶縁膜をシリコン酸化膜より高い誘電率の高誘電率材料で形成したことを特徴とする、半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法であって、

前記半導体装置は前記第1のMOSFETと独立して前記半導体基板に形成される第2のMOSFETをさらに有し、

前記第2のMOSFETの製造工程は、

(h)前記ステップ(a)～前記ステップ(f)それぞれと同内容の工程を前記第2のMOSFET形成用に行うステップと、

(i)前記ステップ(h)後に、前記第2のゲート電極部の形状が前記第1のゲート電極部の形状と同形状になるように、前記ゲート電極材料層を、その下層の前記第1のゲート電極部及び前記第1の側壁絶縁膜共にパターンニングして第2ゲート電極部を得るステップとを備え、前記第1及び第2のゲート電極部により断面形状が矩形状の通常ゲート電極が構成される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MOSFETを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、MOSFETにおけるホットキャリア抑制対策としては、ドレイン電界を緩和できるLDD (Lightly Doped Drain) 構造などが広く用いられている。

【0003】図13は従来のLDD構造のMOSFETを示す断面図である。同図に示すように、P型シリコン基板21の上層部に一对のソース・ドレイン領域25、25が選択的に形成され、一对のソース・ドレイン領域25、25間で対向するそれぞれの端部領域が他の領域よりN型の不純物濃度が低いエクステンション領域(LDD領域)35となる。

【0004】そして、一对のソース・ドレイン領域2

5、25間のP型シリコン基板21の表面上にゲート絶縁膜22が形成され、ゲート絶縁膜22上にゲート電極23が形成される。ゲート電極23の側面にサイドウォール24が形成される。

【0005】エクステンション35はMOSFETの寄生抵抗28として寄与するため、高電流駆動力を達成することが難しい。また、電流駆動時にはドレイン側のエクステンション領域は空乏化するため、特にソース側のエクステンション領域の寄生抵抗としての寄与が問題となる。

【0006】

【発明が解決しようとする課題】従来のMOSFETを有する半導体装置は以上のように、ホットキャリア抑制しながら大電流駆動力を達成することが困難であるという問題点があった。

【0007】この発明は上記問題点を解決するためになされたもので、ホットキャリア抑制及び大電流駆動力を共に達成するMOSFETを有する半導体装置及びその製造方法を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、半導体基板に形成される第1のMOSFETを有する半導体装置であって、前記第1のMOSFETは、前記半導体基板の上層部に選択的に形成される所定の導電型の一方のソース・ドレイン領域を備え、前記一方のソース・ドレイン領域はそれぞれ他の領域より所定の導電型の不純物濃度が低いエクステンション領域を有し、前記一方のソース・ドレイン領域間の前記半導体基板の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された断面形状がT字状のT字ゲート電極とをさらに備え、前記T字ゲート電極はT字の“1”に相当する下層部の第1ゲート電極部と上層部の“-”に相当する第2ゲート電極部とを有し、前記第1のゲート電極部側面であつて前記第2ゲート電極部下に形成されるゲート電極内側壁絶縁膜をさらに備え、前記ゲート電極内側壁絶縁膜はさらに前記一方のソース・ドレイン領域それぞれの前記エクステンション領域の少なくとも一部上に位置し、前記ゲート電極内側壁絶縁膜をシリコン酸化膜より高い誘電率の高誘電率材料で形成している。

【0009】また、請求項2の発明は、請求項1記載の半導体装置であって、前記半導体装置は前記第1のMOSFETと独立して、前記半導体基板に形成される第2のMOSFETをさらに有し、前記第2のMOSFETは、前記半導体基板の上層部に選択的に形成された一方のソース・ドレイン領域と、前記一方のソース・ドレイン領域間の前記半導体基板の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された断面形状が矩形状の通常ゲート電極とを備える。

【0010】この発明に係る請求項3記載の半導体装置

の製造方法は、第1のMOSFETを有する半導体装置の製造方法であって、前記第1のMOSFETの製造工程は、(a)前記半導体基板上にゲート絶縁膜を選択的に形成後、該ゲート絶縁膜上に第1ゲート電極部を形成するステップと、(b)前記第1のゲート電極部をマスクとして所定の導電型の不純物を導入してエクステンション領域を形成するステップと、(c)前記第1ゲート電極部の側壁及び前記エクステンション領域上に第1の側壁絶縁膜を形成するステップと、(d)前記第1のゲート電極部及び前記第1の側壁絶縁膜をマスクとして前記所定の導電型の不純物を導入して、前記エクステンション領域を含むソース・ドレイン領域を形成するステップと、(e)前記第1ゲート電極部及び前記第1の側壁絶縁膜を上方から削り所定の高さまで平坦化するステップと、(f)前記第1のゲート電極部及び前記第1の側壁絶縁膜を含む領域上にゲート電極材料層を形成するステップと、(g)前記ゲート電極材料層をその下層の前記第1のゲート電極部及び前記第1の側壁絶縁膜共にパターンニングして、残存した前記ゲート電極材料層である第2ゲート電極部を得るステップとを備え、前記第1及び第2のゲート電極部とにより断面形状がT字状のT字ゲート電極が構成され、前記第1のゲート電極部はT字の“1”に相当し、前記第2のゲート電極部はT字の“-”に相当し、前記ステップ(g)後に残存する第1の側壁絶縁膜は前記第1のゲート電極部側面であつて前記第2ゲート電極部下に形成されるゲート電極内側壁絶縁膜として規定され、前記ゲート電極内側壁絶縁膜をシリコン酸化膜より高い誘電率の高誘電率材料で形成している。

【0011】また、請求項4の発明は、請求項3記載の半導体装置の製造方法であって、前記半導体装置は前記第1のMOSFETと独立して前記半導体基板に形成される第2のMOSFETをさらに有し、前記第2のMOSFETの製造工程は、(h)前記ステップ(a)～前記ステップ(f)それぞれと同内容の工程を前記第2のMOSFET形成用に行うステップと、(i)前記ステップ(h)後に、前記第2のゲート電極部の形状が前記第1のゲート電極部の形状と同形状になるように、前記ゲート電極材料層を、その下層の前記第1のゲート電極部及び前記第1の側壁絶縁膜共にパターンニングして第2ゲート電極部を得るステップとを備え、前記第1及び第2のゲート電極部により断面形状が矩形状の通常ゲート電極が構成される。

【0012】

【発明の実施の形態】<実施の形態1>図1はこの発明の実施の形態1である半導体装置の構造を示す断面図である。同図に示すように、P型シリコン基板1の上層部に一方のN型のソース・ドレイン領域5、5が選択的に形成され、一方のソース・ドレイン領域5、5間で対向するそれぞれの端部領域が、他の領域より不純物濃度が低いエクステンション領域(LDD領域)15となる。

【0013】そして、一対のソース・ドレイン領域5、5間のP型シリコン基板1の表面上にゲート絶縁膜2が形成され、ゲート絶縁膜2上に断面形状がT字型のT字ゲート電極3が形成される。T字ゲート電極3はポリシリコンで形成され、下層部の“1”の部分に相当する第1ゲート電極部3aと上層部の“-”の部分に相当する第2ゲート電極部3bとからなり、ゲート絶縁膜2上に直接形成されるのは第1ゲート電極部3aである。

【0014】0.18 μm （最小ゲート寸法）ロジック等で用いているMOSFETの条件を設定した場合、第2ゲート電極部3bのゲート長 L_b は例えば0.8 μm で形成され、第1ゲート電極部3aのゲート長 L_a は例えば0.4 μm で形成される。

【0015】第1ゲート電極部3aの側面に隣接し、かつ第2ゲート電極部3b下第1側壁スペーサ7が形成され、第1側壁スペーサ7と第2ゲート電極部3bとの間に第1サイドウォール8が形成される。第1サイドウォール8の下方には第1側壁スペーサ7を介してエクステンション領域15の一部が位置する。

【0016】このように、第1側壁スペーサ7及び第1サイドウォール8は、第1ゲート電極部3a側面であつ第2ゲート電極部3b下方に形成されるゲート電極内側壁絶縁膜として機能する。ゲート電極内側壁絶縁膜の膜厚（すなわち、T字ゲート電極3b下の第1側壁スペーサ7及び第1サイドウォール8の膜厚）は、上述した条件を設定した場合は、0.03 μm 程度で形成される。

【0017】以下、上述した条件を設定した場合のソース・ドレイン領域5、エクステンション領域15、T字ゲート電極3及びP型シリコン基板1の不純物濃度例を挙げる。

【0018】例えば、エクステンション領域15のN型不純物濃度は $4 \cdot 10^{17} / \text{cm}^3$ ピークのガウス分布、（エクステンション領域15以外の）ソース・ドレイン領域5のN型不純物濃度は $1 \cdot 10^{20} / \text{cm}^3$ のガウス分布の不純物濃度となる。

【0019】また、T字ゲート電極3のN型不純物濃度は $1 \cdot 10^{20} / \text{cm}^3$ で均一に、P型シリコン基板1のP型不純物濃度は $2 \cdot 10^{17} / \text{cm}^3$ で均一に設定される。

【0020】なお、第1サイドウォール8は、シリコン酸化膜よりも高い誘電率を有する高誘電材料で形成され、最も一般的な絶縁材料であるシリコン窒化膜（Si₃N₄）を基準に考えると、比誘電率を“7”以上にすることが望ましい。

【0021】第1側壁スペーサ7、第1サイドウォール8及び第2ゲート電極部3bの側面に隣接し、かつソース・ドレイン領域5の表面の一部上に第2側壁スペーサ17が形成され、第2側壁スペーサ17上に第2サイドウォール18が形成される。

【0022】このような構造において、第1ゲート電極

部3aの側壁からのフリジン電界と第2ゲート電極部3bからの垂直電界によってエクステンション領域15の表面に電子を多く蓄積（accumulation mode）させることができる。

【0023】例えば、ゲート電圧 V_g 、ドレイン電圧 V_d 、ソース電圧 V_s としたとき、「 $V_g = V_d = V_{dd}$ （電源電圧）、 $V_s = 0$ 」の通常動作時の条件下においては、ゲート・ソース間電圧 $V_{gs} = V_{dd}$ 、ゲート・ドレイン間電圧 $V_{gd} = 0$ となるため、ドレイン側ではほとんど影響がなく、ソース側のエクステンション領域15でのみ強い電子の蓄積がおり、ソース側のエクステンション領域15の寄生抵抗は減少する。

【0024】このため、ドレイン側のエクステンション領域15においては効果的に空乏層を広げることにより電界緩和するという、LDD領域の本来の役割を十分に発揮することができホットキャリア耐性を劣化させることはない。

【0025】一方、ソース側のエクステンション領域15の寄生抵抗は、ゲート、ドレインの実効的な印加電圧を減少させ、基板バイアスの効果も含めて駆動電流の電流量低下に寄与する度合がドレイン側のエクステンション領域15よりも大きい。

【0026】したがって、上述した電子の蓄積によってソース側のエクステンション領域15の寄生抵抗のみを減少させても十分に電流駆動能力の改善を図ることができる。

【0027】図14は従来のT字ゲート電極構造のMOSFETを示す断面図である。同図に示すように、P型シリコン基板21の上層部に一対のソース・ドレイン領域25、25が選択的に形成され、一対のソース・ドレイン領域25、25間で対向するそれぞれの端部領域がエクステンション領域（LDD領域）35となる。

【0028】そして、ソース・ドレイン領域25、25間のP型シリコン基板21の表面上にゲート絶縁膜22が形成され、ゲート絶縁膜22上にT字ゲート電極33が形成される。T字ゲート電極33は下部電極部33a及び上部電極部33bから構成される。

【0029】T字ゲート電極33の側面にサイドウォール34が形成され、サイドウォール34はT字ゲート電極33の上部電極部33bの端部下方及び下部電極部33aの側面に延びて形成される。

【0030】このようなT字ゲート電極を有するMOSFET構造は特開平9-82958号公報、特開平8-284771号公報、特開平2-281632号公報等において開示されている。これらに開示された従来のT字ゲート電極構造は主としてゲート抵抗の低減等を目的として提案されている。すなわち、エクステンション領域の低抵抗化については全く意図しておらず、T字ゲート電極の側面に用いられる絶縁膜は一般的に用いられるシリコン酸化膜等の低誘電材料で形成されている。

【0031】一方、実施の形態1のMOSFETでは、ソース側のエクステンション領域の低抵抗化（不純物濃度の高濃度化）をより効果的に実現すべく、第1サイドウォール8を上述したように高誘電材料で形成している。

【0032】このため、シリコン酸化膜等の低誘電材料で形成する場合に比べ、第1サイドウォール8の膜厚（第2ゲート電極部3bとP型シリコン基板1の表面のソース・ドレイン領域5との距離）に余裕を持たせることができ、その分、第1サイドウォール8の製造プロセスが容易になり、第1サイドウォール8の膜厚のパラツキの低減化に伴うMOSFETの精度の向上を図ることができる。

【0033】例えば、ゲート電極内側壁絶縁膜（大部分は第1サイドウォール8）の膜厚は上述した例では0.03μmで形成可能であり、CVD等で膜を堆積する場合の精度よく制御可能な膜厚が0.01μm程度であることを考えると、その後の実行されるCMP処理の精度を考慮しても、十分精度良く膜厚制御することが可能である。

【0034】図2～図7は図1で示した実施の形態1のMOSFETを有する半導体装置の製造方法を示す断面図である。以下、これらの図を参照して製造処理手順を説明する。

【0035】まず、図2に示すように、P型シリコン基板1上に選択的にゲート絶縁膜2を形成し、ゲート絶縁膜2上にポリシリコンからなる第1ゲート電極部3aを形成する。

【0036】その後、第1ゲート電極部3aをマスクとしてN型不純物イオン4を注入し、拡散処理を施すことによりP型シリコン基板1の上層部にエクステンション領域15を形成する。なお、第1ゲート電極部3aはエッチング等の加工処理によって所望のゲート寸法（ゲート長、ゲート幅）でパターニングされる。

【0037】次に、図3に示すように、ゲート絶縁膜2及び第1ゲート電極部3aの側面及びP型シリコン基板1の表面上の一部に第1側壁スペーサ7を設け、第1側壁スペーサ7上に第1サイドウォール8を形成する。

【0038】その後、第1ゲート電極部3a、第1側壁スペーサ7及び第1サイドウォール8をマスクとしてN型不純物イオン9を注入し、拡散処理を施すことによりソース・ドレイン領域5（エクステンション領域15を含む）を完成する。図3のエクステンション領域15はソース・ドレイン領域5の他の領域に比べN型の不純物濃度が低い領域となる。

【0039】なお、第1側壁スペーサ7はTEOS等から構成され第1サイドウォール8に比べて十分に薄い膜厚で形成される。第1サイドウォール8は高誘電材料（SiN_x、AlO_x、TaO_x、ZrO_x、HfO_x等）で形成される。

【0040】第1側壁スペーサ7を介して第1サイドウォール8を形成する方がデバイスの信頼性が高いが、低誘電材料であるTEOSからなる第1側壁スペーサ7を設ける分、実効的な誘電率が低下することになる。誘電率の低下を抑えるべく、第1側壁スペーサ7はできるだけ薄く形成する方が望ましく、可能であれば第1側壁スペーサ7を形成しない方がよい。

【0041】その後、図4に示すように、TEOSやNSG（Non-doped Silicate glass）等よりなる層間絶縁膜10を全面に堆積する。

【0042】そして、図5に示すように、層間絶縁膜10並びに第1ゲート電極部3a、第1側壁スペーサ7及び第1サイドウォール8の一部に対してCMP処理を施して平坦化する。

【0043】その後、全面にポリシリコン層12を堆積した後、ポリシリコン層12内で第2ゲート電極部3bとなる領域及び第1ゲート電極部3aに対してN型不純物イオン11を選択的にイオン注入して拡散処理を施す。

【0044】次に、図6に示すように、リソグラフィー技術を用いて、ポリシリコン層12をその下層の第1サイドウォール8及び層間絶縁膜10と共にパターニングし、第2ゲート電極部3bを得るとともに、第2ゲート電極部3b下の第1側壁スペーサ7及び第1サイドウォール8の形状を完成する。その結果、第1ゲート電極部3a及び第2ゲート電極部3bからなるT字ゲート電極3が完成する。

【0045】その後、図7に示すように、コンタクト形成のために、第2ゲート電極部3b及び第1サイドウォール8の側面及びソース・ドレイン領域5の表面上に第2側壁スペーサ17を形成し、第1側壁スペーサ7上に第1サイドウォール8を形成する。なお、第1側壁スペーサ7及び第1サイドウォール8の形成材料としてはTEOSやSiN_x等が考えられる。

【0046】実施の形態1の製造方法は、従来のMOSFETの製造フローに比べて、第1ゲート電極部3aの断面形状を加工するためのCMP処理と、第2ゲート電極部3bをリソグラフィー技術を用いてパターニングする処理とが追加される程度であるため、製造プロセスの複雑化を最小限に抑えることができる。

【0047】図8は本実施の形態と従来構造とのMOSFETのドレイン電流特性を示すグラフである。同図に示すように、従来構造のMOSFETに比べ本実施の形態のMOSFETの方が同一のゲート電圧V_gに対するドレイン電流の絶対値が大きくなっており、駆動電流量の増大が図れていることがわかる。

【0048】図9は本実施の形態と従来構造とのMOSFETのソース側のLDD領域の電子濃度を示すグラフである。同図に示すように、従来構造のMOSFETに比べ本実施の形態のMOSFETの方が深さが浅い領

域、すなわち主として電流が流れる領域での電子濃度が高くなっており、低抵抗化が図れていることがわかる。なお、上記低抵抗化に伴いエクステンション領域15とP型シリコン基板1とのPN接合部分からの空乏層の伸びが変化することに伴い、 $0.02\mu\text{m}$ 以下の比較的深い領域では従来構造の電子濃度の方が本実施の形態より高くなっているが、電流の大部分は表面の浅い領域を流れるため問題ない。

【0049】図10は従来構造のMOSFETのドレイン側のサイドウォール34下の横方向電界のデバイスシミュレーションによる解析結果を示すグラフである。図11は本実施の形態のMOSFETのドレイン側の第1サイドウォール8下の横方向電界のデバイスシミュレーションによる解析結果を示すグラフである。これらの解析結果はゲート電圧 V_g 及びドレイン電圧 V_d を3.3V、ソース電圧 V_s を0Vとした場合の解析結果を示している。

【0050】これらの図に示すように、実施の形態1の構造においても従来のLDD構造とほとんど変わらない電界分布を得ることができ、十分な電界抑制効果を実現してホットエレクトロン効果を効果的に抑制できていることがわかる。

【0051】＜実施の形態2＞ASICやシステムLSIなどの近年のLSIでは、I/O部やアナログ部は2.5V以上の電源（第1の電源系）を用い、内部ロジック部では1.8V以下の電源（第2の電源系）で回路を実際に構成しているものが多い。この場合、それぞれの電源系において最適化された特性のMOSFETを使い分けて用いることが望ましい。

【0052】実施の形態2では、第1の電源系のMOSFETとして実施の形態1で示したT字ゲート電極構造のMOSFETを採用し、第2の電源系のMOSFETとしては通常のゲート構造のMOSFETを採用している。

【0053】図12は実施の形態2の半導体装置の構造を示す断面図である。同図に示すように、P型シリコン基板1の上層部に形成された分離絶縁膜30によってI/O部形成領域41及びロジック部形成領域42が素子分離される。

【0054】そして、I/O部形成領域41には、図1で示したT字ゲート電極構造の実施の形態1のMOSFETと等価な構造のI/O用NMOSFET51が形成されている。一方、ロジック部形成領域42には、図13で示した通常ゲート電極構造のMOSFETと等価なロジック用NMOSFET52が形成されている。

【0055】図12と図13との関係において、ソース・ドレイン領域36はソース・ドレイン領域5に対応し、エクステンション領域16はエクステンション領域35に対応し、ゲート絶縁膜32はゲート絶縁膜22に対応し、通常ゲート電極13（第1ゲート電極部13

a、第2ゲート電極部13b）はゲート電極23に対応し、側壁スペーサ37及びサイドウォール38はサイドウォール24に対応する。

【0056】なお、I/O用NMOSFET51とロジック用NMOSFET52とを製造する際、ゲート絶縁膜32はゲート絶縁膜2と同時に製造され、第1ゲート電極部13aは第1ゲート電極部3aと同時に製造され、第1ゲート電極部13bは第2ゲート電極部3bと同時に製造され、側壁スペーサ37は第2側壁スペーサ17と同時に製造され、サイドウォール38は第2サイドウォール18と同時に製造される。

【0057】1.8V以下の電源電圧で動作する第2の電源系のMOSFETにおいては、低電圧化するに従ってホットキャリアによる特性劣化が生じにくくなるため、ロジック部形成領域42で用いるロジック用NMOSFET52では、LDD領域を積極的に採用せず、エクステンション領域16は高濃度で浅い構造を採る。

【0058】逆に、ロジック用MOSFET52として実施の形態1のT字ゲート電極構造のMOSFETを用いた場合、寄生抵抗の低減効果はあまり期待できず、ゲート容量が増加する分だけ動作速度の低下を招く不利があり、また、ゲート電極サイズを大きくする分、高密度のゲート電極を形成することが困難であるという問題点もある。

【0059】このように、ロジック部形成領域42には通常ゲート電極構造のMOSFETを形成する方がT字ゲート電極構造のMOSFETを形成するより技術的に優れている。

【0060】したがって、実施の形態2の半導体装置は、第1の電源系のMOSFETとして実施の形態1で示したT字ゲート電極構造のMOSFETを採用し、第2の電源系のMOSFETとしては通常のゲート構造のMOSFETを採用することにより、各電源系のMOSFETを最適な特性で形成することができる。

【0061】実施の形態2で示した構造は、図2～図7で示した実施の形態1の製造方法をI/O用MOSFET51の製造に適用させ、前述したように、ロジック用NMOSFET52とI/O用NMOSFET51と同一工程で同時に製造することにより、製造プロセスを増やすことなくI/O用NMOSFET51及びロジック用NMOSFET52を形成することができる。

【0062】例えば、図8で示したリソグラフィ技術を用いたバタニング処理によってI/O用MOSFET51のT字ゲート電極3を形成する際に、第1ゲート電極部13aと同一寸法となるように第2ゲート電極部13bをバタニングすることにより、第1ゲート電極部13a、第2ゲート電極部13bからなり、断面形状が矩形的の通常ゲート電極構造の通常ゲート電極13を得ることができる。

【0063】また、第1ゲート電極部3aよりゲート長

が小さくなるように第2ゲート電極部3b及び第1ゲート電極部3aをパターンニングすれば、通常ゲート電極13の仕上がりゲート長をエクステンション領域形成時(図2で示した工程時)のゲート長より短くできるため、ゲートとソース・ドレイン領域との間に生じるゲートオーバーラップ容量を低減できる効果も有している。

【0064】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置の第1のMOSFETはゲート、ソース電極間に所定の電位差を設定し、ゲート、ドレイン電極を同電位に設定して行う第1のMOSFETの通常動作を実行させると、ソース側のソース・ドレイン領域において、ゲート電極内側壁絶縁膜を介した第2のゲート電極部からの垂直電界によって、エクステンション領域の表面にキャリアが蓄積することにより、ソース側のエクステンション領域の低抵抗化を実現して電流駆動力の向上を図ることができる。

【0065】一方、ゲート、ドレイン電極間の電位差は生じないため、ドレイン側のエクステンション領域はソース側のようにキャリアが蓄積されず電界緩和効果を発揮することができ、ホットキャリアを効果的に抑制することができる。

【0066】さらに、ゲート電極内側壁絶縁膜はシリコン酸化膜より高い誘電率の高誘電率材料で形成されるため、シリコン酸化膜でゲート電極内側壁酸化膜を形成する場合に比べて厚い膜厚で形成してもソース側のエクステンション領域の低抵抗化が十分実現可能である。

【0067】したがって、比較的簡単な製造プロセスを用いてもゲート電極内側壁絶縁膜の膜厚を高精度に制御することができるため、ゲート電極内側壁絶縁膜の膜厚に関連するMOSFETの特性を高水準に保つことができる。

【0068】請求項2記載の半導体装置は通常ゲート電極を有する第2のMOSFETをT字ゲート電極を有する第1のMOSFETと独立して形成することにより、MOSFETを利用する回路特性に適合させて第1及び第2のMOSFETを使い分けることができる。

【0069】この発明における請求項3記載の半導体装置の製造方法で製造される第1のMOSFETは前述したように第1のMOSFETを動作させると、ソース側のエクステンション領域の低抵抗化を実現して電流駆動力の向上を図るとともに、ドレイン側のエクステンション領域はホットキャリアを効果的に抑制することができる。

【0070】さらに、ゲート電極内側壁絶縁膜はシリコン酸化膜より高い誘電率の高誘電率材料で形成されるため、シリコン酸化膜でゲート電極内側壁酸化膜を形成する場合に比べて厚い膜厚で形成してもソース側のエクステンション領域の低抵抗化が実現可能となる。

【0071】したがって、ステップ(c)、(e)を比較的簡単な製造プロセスを用いて実行してもゲート電極内側壁絶縁膜の膜厚を高精度に形成することができるため、MOSFETの特性を高水準に保つことができる。

【0072】請求項4記載の半導体装置の製造方法では通常ゲート電極を有する第2のMOSFETをT字ゲート電極を有する第1のMOSFETと独立して形成することにより、MOSFETを利用する回路特性に適合させて第1及び第2のMOSFETを使い分けた半導体装置を得ることができる。

【0073】加えて、ステップ(h)をステップ(a)～(f)と同時に実行し、ステップ(i)をステップ(q)と同時に実行することにより、第1のMOSFETの製造プロセスを増やすことなく第1及び第2のMOSFETを製造することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である半導体装置の構造を示す断面図である。

【図2】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図3】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図4】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図5】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図6】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図7】 実施の形態1のMOSFETの製造方法を示す断面図である。

【図8】 本実施の形態と従来構造とのMOSFETのドレイン電流特性を示すグラフである。

【図9】 本実施の形態と従来構造とのMOSFETのソース側のLDD領域の電子濃度を示すグラフである。

【図10】 従来構造のMOSFETのドレイン側のサイドウォール下の横方向電界のデバイスシミュレーションによる解析結果を示すグラフである。

【図11】 本実施の形態のMOSFETのドレイン側の第1サイドウォール下の横方向電界のデバイスシミュレーションによる解析結果を示すグラフである。

【図12】 実施の形態2の半導体装置の構造を示す断面図である。

【図13】 従来のLDD構造のMOSFETを示す断面図である。

【図14】 T字ゲート電極構造のMOSFETを示す断面図である。

【符号の説明】

1 P型シリコン基板、2 ゲート絶縁膜、3 T字ゲート電極、3a 第1ゲート電極部、3b 第2ゲート電極部、5 ソース・ドレイン領域、7 第1側壁スペ

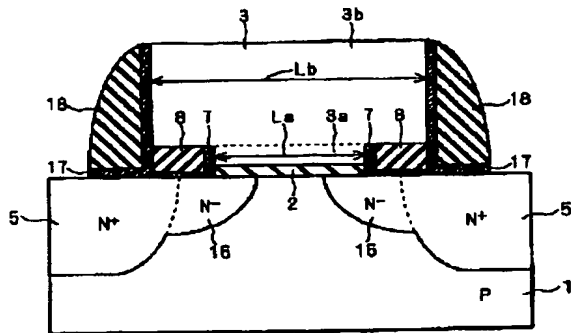
13

14

ーサ、8 第1サイドウォール、17 第2側壁スペー
サ、18 第2サイドウォール、51 1/O用NMO*

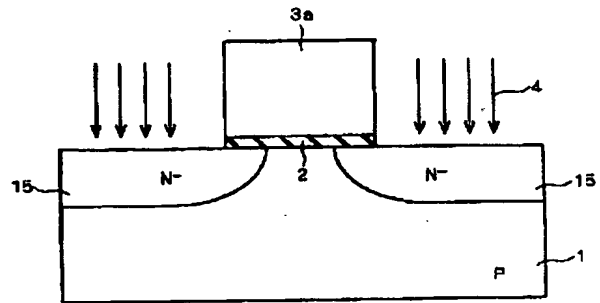
*SFET、52 ロジック用NMOSFET。

【図1】

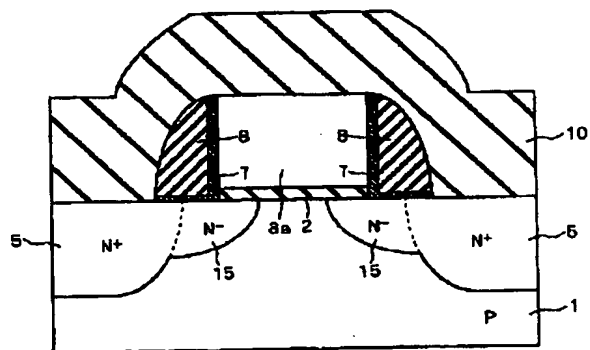


- 1: P型シリコン基板
2: ゲート絶縁膜
3: T字ゲート電極
5: ソース・ドレイン領域
7: 第1側壁スペーサ
8: 第1サイドウォール (高誘電率材料)
17: 第2側壁スペーサ
18: 第2サイドウォール

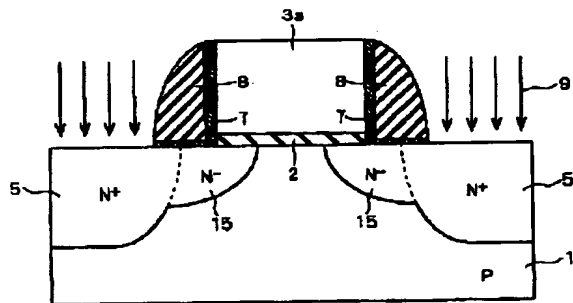
【図2】



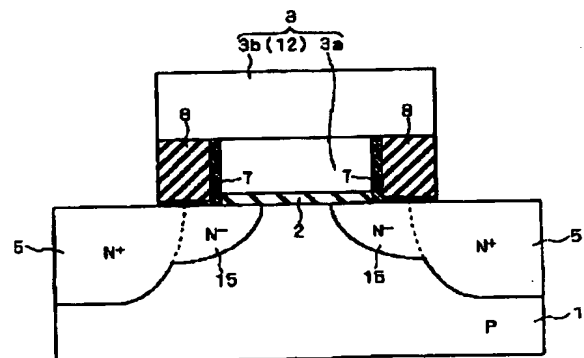
【図4】



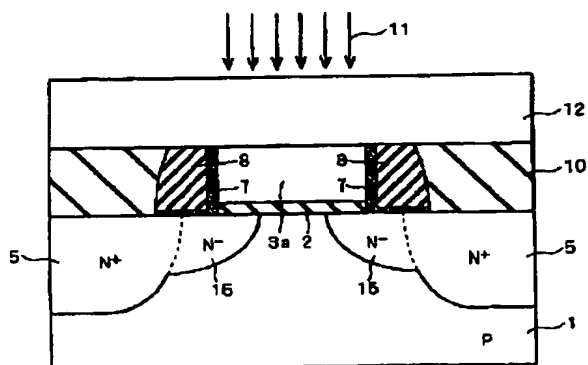
【図3】



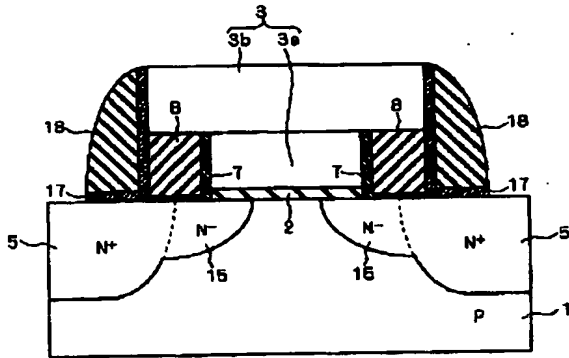
【図6】



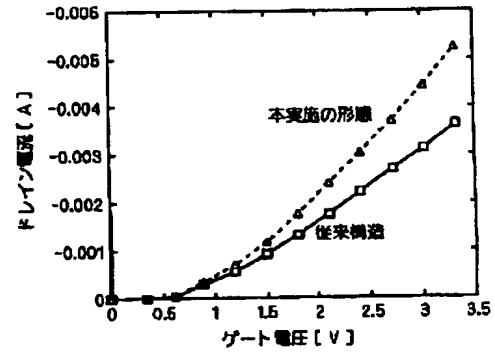
【図5】



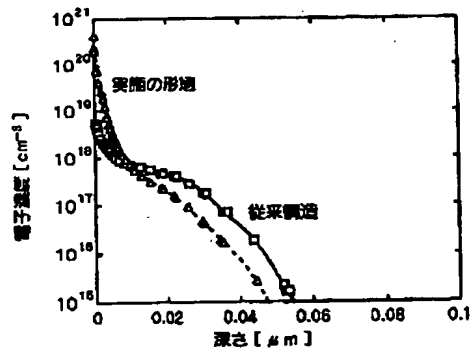
【図7】



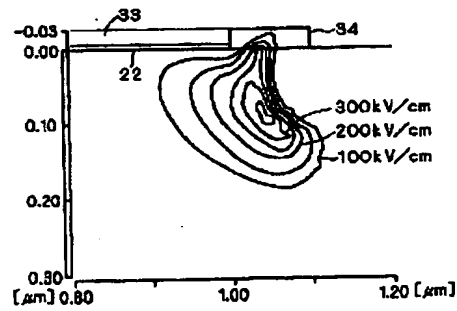
【図8】



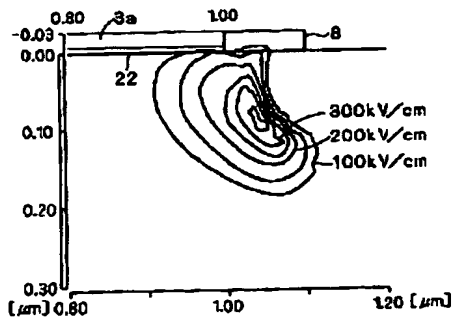
【図9】



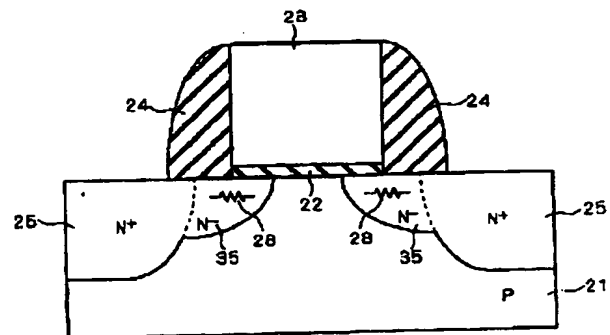
【図10】



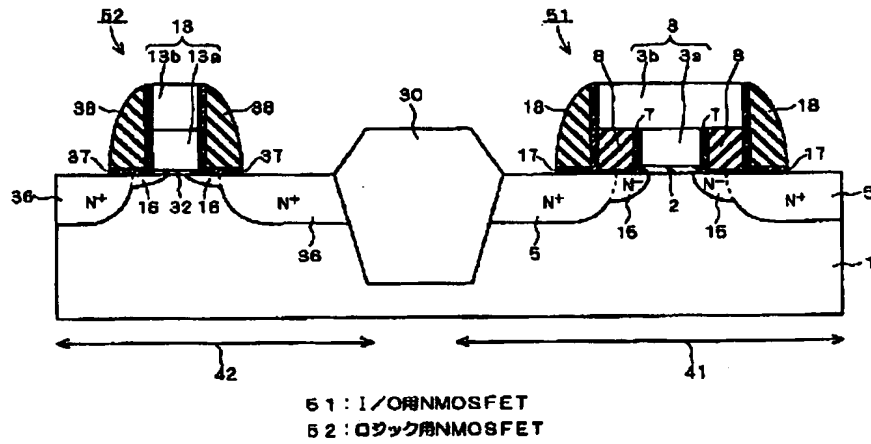
【図11】



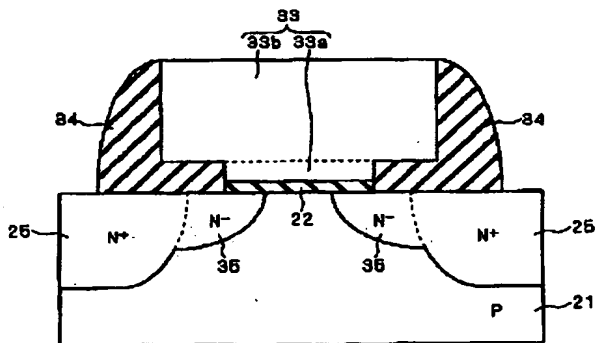
【図13】



【図12】



【図14】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC05 DD26 DD63
EE02 EE09 EE16 EE17 FF07
GG09 GG14 HH20
5F048 AA07 AB03 AC01 BA01 BB01
BB03 BB06 BB16
5F140 AA23 AA29 BA01 BF01 BF04
BF42 BG10 BG11 BG12 BG14
BG40 BH14 BH15 BK02 BK13
CE07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.